FPGA ETHERNET

Forstudie

# Problemstillinga og mål

Me har eit ønske om å kunne ta i bruk ethernet på ein FPGA. Ved å gjere dette vil det bli mange design einingar og dokumentasjon som vil ligge i parallell. Desse må vedlikehaldas og haldast styr på:

* Dokumentasjon
* HW realisering av register banker i VHDL
* HAL/driver realisering i C eller eit anna programmeringsspråk
* Debug miljø

For å møte dette problemet har ProgBit utvikla eit verktøy kalla autoreg. Dette verktøyet genererer VHDL register bankar og TCL debug miljø frå ein formell register definisjon. Dette TCL debug miljøet på PC-en koplast til FPGA-en via RS232 eller JTAG. Dette gjer ein debug prosess langt lettare for HW programmeraren, då han kan styre mange prosessar frå PC, samt på den måten få ein innsikt inn til kva ein SW programmerar prøver på å gjere. I ein feil i mellom SW og HW vil ein HW programmerar då kunne gå inn og sjå på registera SW programmeraren prøver å ta i bruk.

Me skal lage eit program for fpga som kan sende og ta imot datapakkar ved hjelp av ethernet. Me må programmere fpgaen til å kunne generere datapakkar med korrekt headar. Deretter skal me sende ut desse datapakkane, og kunne ta imot datapakkane igjen. For å kunne gjere dette må me lese oss opp på ethernetstandaren for å finne ut korleis den funkar. For å kunne sjå og lese av kva som skjer på ethernetkabelen skal me ta i bruk Wireshark.

Me skal nytte oss av ProgBit sitt autoreg verktøy til å utføre denne oppgåva. Dette skal me bruke som eit hjelpemiddel som skal hjelpe oss med å kunne holde styr på dei mange lokasjonane som vil oppstå når me køyrer programmet. I tillegg er det er verktøy som skal kunne hjelpe oss med å debugging av koden vår. Bedriftas hensikt med å arbeide med denne problemstillinga er det å få teste ut verktøyet dei har laga i ein prosjekt situasjon. Dei vil sjå korleis me brukar det, samt kor funksjonelt verktøyet er i ein sånn situasjon. Me har fått eit demo-prosjekt av dei, som me skal bruke som fundament for koden vår. Dette er for å kunne lettare komme i gang med prosjektet, og kunne leike oss litt med verktøyet for å bli kjent med det.

Prosjekt vårt har me døypt «FPGA Ethernet». Me

## Kravliste

* Sette seg inn i og forstå autoreg programmet
* Kunne generere datapakker
* Nytta autoreg for å generere data
* Skal kunne sende ut datapakker
* Kunne motta pakkar
* Verifisere datapakker

# Gjennomførbarheitsanalyse

Me har berre ein moglegheit og det er å skrive kode. Utgangspunktet vårt er at me skal bruke FPGA kretskort, VHDL kode og autoreg verktøyet til ProgBit. Så sjølve rammene rundt prosjektet er fast. Me har fått ein demo-kode me skal bruke som utgangspunkt.

Me har ikkje planar for innkjøp til oppgåva. Me har valt å ta i bruk DE2-115 Cyclone IV korta me har fått lånt av biblioteket. Viss me skal utvide oppgåva kan det hende me vil trenge eit betre fpga kort. Me vil heller at budsjettet me får at skulen går til at me får sponsa reise til FPGA-forum.

Me har ingen spesielle komponentkrav anna enn at me treng eit FPGA kort. Det er heller ingen kritiske leveringstider me har for det er ikkje noko me må bestille. Alt me skal gjere er å lage opprette ein kode, med kort me allereie har.

## Utvidingar og reduksjon

Dersom me ser til moglegheiter for å utvide oppgåva finast det fleire alternativ me kan vurdere. Me kan deretter sjå mot desse to, som spesifisert i oppgåva:

### Utviding 1:

Integrere dette med NIOS CPU og Avalon vha QSYS (Altera)

Verifisere at Ethernet testmodulen også kan kontrollerast frå C program på NIOS.

### Utviding 2:

Gigabit Ethernet. Vil krevje et anna FPGA utviklingskort.

### Reduksjon:

Viss me skal sjå mot reduksjon, har me dei fire store milepælane våre me kan sjå mot:

* Generere datapakker
* Sende ut datapakker
* Ta imot datapakker
* Verifisere datapakker

Me får deretter sjå ann reduksjon rundt desse punkta.

### Styring av prosjektet

* Avklare arbeidssted, arbeidsplass, rapporteringsform, møteopplegg.
* Avklare kopiering, komponentkjøp, bedriftsrutiner.
* Navngi firma med korrekt navn, adresse, telefon, epost
* Navngi samarbeidspersoner med korrekt navn, tittel, kontaktmuligheter.
* Planlegging
  + Milepælsplan (gant diagram)
* Organisering
  + Ansvarsfordeling
  + Arbeidsfordeling
* Oppfølging
  + Prosjektdagbok
  + Timeliste

# Styring av prosjektet

Arbeidsstad for prosjektet kjem til å vere på Høgskulen på Vestlandet, avdeling Bergen. Me kjem til å finne oss plassar rundt omkring på bygget å sitte der me kan arbeide. Me har ofte tatt i bruk borda som står i gangane, då me ofte får utført mykje arbeid med PC. Via sitt ekstrafag har Fremming fått tilgang til D421 kretskortlaben. Me kan ta i bruk den til å gjere arbeid der også.

I og med at det er kode me skal utvikle, kjem me til å legge kjeldekoden på github der alle som er delaktige i prosjektet får tilgang til å kunne gå inn for å sjå på koden. Me vil ta i brukt Git checkout og nytte dette som eit revisjonsystem for koden vår. Me har og fått skype adressa til Arin Kjempenes som me kan bruke for å ta kontakt med han.

## Møteplan

Møteplanen vår er vorte satt til annakvar torsdag. Dagane er satt til:

* 19.jan
* 2.feb
* 23.feb
* 9.mars
* 23.mars
* 6.april
* 20.april
* 4.mai
* 18.mai
* 1.juni

Kopiering og utskrift vil bli gjort av oss på HVL sine printara. Dersom me skulle finne det nødvendig å skulle gå til innkjøp av eit nytt FPGA kort, vil me skaffe det sjølv. Anna utstyr som switch og ethernetkabel er utstyr som me har liggande rundt om, eller tar me oss ein kjapp tur inn til Kjell & Company, Class Ohlson eller noko liknande. Me vil som sakt prøve å få finansiert turen til FPGA-forum av høgskulen.

Av bedriftsrutinar me skal følgje, skal me ta i bruk kodestandarden deira.

## Firma

ProgBit AS

Postboks 28 Kokstad

5863 Bergen

900 61 361

[arin@progbit.no](mailto:arin@progbit.no)

## Samarbeidspersonar:

Arin Morten Kjempenes

CEO

900 61 361

[arin@progbit.no](mailto:arin@progbit.no)

Svein Haustveit

Høgskulelektor

91757644

[Svein.Haustveit@hvl.no](mailto:Svein.Haustveit@hvl.no)

## Planlegging

Sjå vedlagt gant diagram.

## Organisering

Me har fordelt ansvaret mellom oss om dei ulike aktivitetane som kjem fram i gant diagrammet. I grove trekk har Alme ansvar for det administrative og Fremming for det tekniske. Me har delt det sånn sida me har arbeid mykje i lag frå før, og veit kven som er best eigna til kva. Arbeidsfordelinga vil bli noko lunde 50% kvar. Me tar begge eit ekstra fag dette semesteret, og det dagane dei faga har timar er måndag og onsdag. Forutan om andre avtalar som dukkar opp ser me for oss å kunne møtast på tysdag, torsdag og fredag. Me vil arbeide mykje saman.

## Oppfølging

Me skriv inn timelister inn i excel.